

日本特許庁
JAPAN PATENT OFFICE

22.10.2004

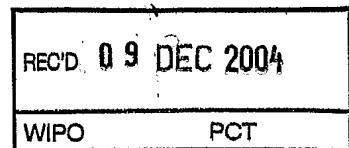
別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年12月26日
Date of Application:

出願番号 特願2003-435269
Application Number:
[ST. 10/C]: [JP2003-435269]

出願人 松下電器産業株式会社
Applicant(s):



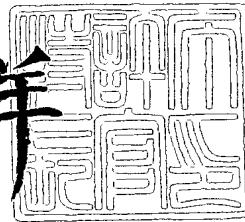
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年11月26日

特許庁長官
Commissioner,
Japan Patent Office

小川

洋



【書類名】 特許願
【整理番号】 2054051191
【提出日】 平成15年12月26日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 11/00
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地
 【氏名】 松下電器産業株式会社内
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100077931
 【弁理士】
 【氏名又は名称】 前田 弘
【選任した代理人】
 【識別番号】 100094134
 【弁理士】
 【氏名又は名称】 小山 廣毅
【選任した代理人】
 【識別番号】 100110939
 【弁理士】
 【氏名又は名称】 竹内 宏
【選任した代理人】
 【識別番号】 100113262
 【弁理士】
 【氏名又は名称】 竹内 祐二
【選任した代理人】
 【識別番号】 100115059
 【弁理士】
 【氏名又は名称】 今江 克実
【選任した代理人】
 【識別番号】 100117710
 【弁理士】
 【氏名又は名称】 原田 智雄
【手数料の表示】
 【予納台帳番号】 014409
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【書類名】特許請求の範囲**【請求項 1】**

第1の端子と第2の端子との間に直列に接続された第1および第2の可変抵抗を備え、前記第1の可変抵抗は、前記第1の端子と第3の端子との間に接続され、前記第1の端子と前記第3の端子との間に印加されるパルス電圧の極性に応じてその抵抗値を増加／減少させるものであり、前記第2の可変抵抗は、前記第3の端子と前記第2の端子との間に接続され、前記第3の端子と前記第2の端子との間に印加されるパルス電圧の極性に応じてその抵抗値を増加／減少させるものであり、前記第1の端子と前記第3の端子との間および前記第3の端子と前記第2の端子との間に所定のパルス電圧を印加して前記第1および第2の可変抵抗の抵抗値を可逆的に変化させることにより1ビットあるいは多ビットの情報を記録する、ことを特徴とするメモリ回路。

【請求項 2】

請求項1において、

前記第1および第2の可変抵抗の抵抗値のうち一方は他方よりも高い値に初期化されている、ことを特徴とするメモリ回路。

【請求項 3】

請求項1において、

前記第1の端子と前記第3の端子との間に印加されるパルス電圧の前記第3の端子に対する前記第1の端子の極性が第1の極性のとき前記第1の可変抵抗の抵抗値は増加し、前記第1の極性とは逆の第2の極性のとき前記第1の可変抵抗の抵抗値は減少し、

前記第3の端子と前記第2の端子との間に印加されるパルス電圧の前記第2の端子に対する前記第3の端子の極性が前記第1の極性のとき前記第2の可変抵抗の抵抗値は増加し、前記第2の極性のとき前記第2の可変抵抗の抵抗値は減少する、ことを特徴とするメモリ回路。

【請求項 4】

請求項3において、

前記第1および第2の端子を第1の電位にした状態で前記第3の端子に第2の電位のパルス電圧を印可することにより、前記第1および第2の可変抵抗の抵抗値を互いに逆方向に変化させる、

ことを特徴とするメモリ回路。

【請求項 5】

請求項4において、

前記第1の電位はグランド電位であり、

前記第2の電位は所定の正または負の電位である、

ことを特徴とするメモリ回路。

【請求項 6】

請求項4において、

前記第1の電位は所定の負の電位でありかつ前記第2の電位は所定の正の電位である、または、第1の電位は所定の正の電位でありかつ前記第2の電位は所定の負の電位である

、ことを特徴とするメモリ回路。

【請求項 7】

請求項1において、

前記第1の端子と前記第3の端子との間に印加されるパルス電圧の前記第3の端子に対する前記第1の端子の極性が第1の極性のとき前記第1の可変抵抗の抵抗値は増加し、前記第1の極性とは逆の第2の極性のとき前記第1の可変抵抗の抵抗値は減少し、

前記第3の端子と前記第2の端子との間に印加されるパルス電圧の前記第2の端子に対する前記第3の端子の極性が前記第1の極性のとき前記第2の可変抵抗の抵抗値は減少し、前記第2の極性のとき前記第2の可変抵抗の抵抗値は増加する、ことを特徴とするメモリ回路。

【請求項8】

請求項7において、

前記第1の端子と前記第3の端子とに第1の極性の第1のパルス電圧を与えかつ前記第2の端子に前記第1の極性とは逆の極性の第2のパルス電圧を与え、次に、前記第1の端子と前記第2の端子とに前記第2のパルス電圧を与えかつ前記第1の端子に前記第1のパルス電圧を与えることにより、前記第1および第2の可変抵抗の抵抗値を互いに逆方向に変化させる、

ことを特徴とするメモリ回路。

【請求項9】

請求項1から請求項8のいずれか1つにおいて、

前記第1の端子に第1の電位を与えかつ前記第2の端子に第2の電位を与えた状態において前記第3の端子の電圧を出力することで1ビットあるいは多ビットの情報を再生する

、ことを特徴とするメモリ回路。

【書類名】明細書

【発明の名称】メモリ回路

【技術分野】

【0001】

本発明は、与えられる電気的パルスの極性に応じてその抵抗値が変化する可変抵抗体を用いた不揮発性メモリ回路に関する。

【背景技術】

【0002】

近年、電子機器におけるデジタル技術の進展に伴い、画像などのデータを保存するためには、不揮発性メモリ素子の要望が大きくなってきており、さらに記憶素子の大容量化、書き込み電力の低減、書き込み／読み出し時間の高速化、長寿命化の要求がますます高まりつつある。現在、不揮発性メモリ素子としては半導体トランジスタのゲート部分に浮遊ゲートを設け、その浮遊ゲート内に電子を注入するメカニズムを用いて不揮発性を実現したフラッシュメモリが実用化され、デジタルカメラやパーソナルコンピュータの外部記憶素子として多く用いられている。

【特許文献1】米国特許第6,204,139号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、フラッシュメモリは書き込み電圧が高い、書き込み／消去時間が遅い、書き換え寿命が短い、大容量化（素子の微細化）が困難等の多くの課題を有している。そのため、現在これらフラッシュメモリの課題を解決すべく、強誘電体を用いた半導体メモリ（FeRAM）、TMR（トンネルMR）材料を用いた半導体メモリ（MRAM）、相り（OUM）等の新規な不揮発性メモリ素子の開発が盛んに行なわれている。しかし、これらのメモリ素子もFeRAMに関しては、素子の微細化が困難である。また、OUMに関しては書き換え寿命が短い等の課題を有しており、不揮発性メモリ素子に対する全ての要望を満たす記憶素子がないのが現状である。さらに、それらを克服するための新しい記録方法をとしてヒューストン大学からパルス電圧によりペロブスカイト構造酸化物の抵抗値を変化させる手法が開発された（特許文献1）が、メモリ素子としての安定な動作および製造歩留まりに大きな課題を有するものが現状である。

【課題を解決するための手段】

【0004】

本発明によるメモリ回路は、第1の端子と第2の端子との間に直列に接続された第1および第2の可変抵抗を備え、前記第1の可変抵抗は、前記第1の端子と第3の端子との間に接続され、前記第1の端子と前記第3の端子との間に印加されるパルス電圧の極性に応じてその抵抗値を増加／減少させるものであり、前記第2の可変抵抗は、前記第3の端子と前記第2の端子との間に接続され、前記第3の端子と前記第2の端子との間に印加されるパルス電圧の極性に応じてその抵抗値を増加／減少させるものであり、前記第1の端子と前記第3の端子との間および前記第3の端子と前記第2の端子との間に所定のパルス電圧を印加して前記第1および第2の可変抵抗の抵抗値を可逆的に変化させることにより1ビットあるいは多ビットの情報を記録する、ことを特徴とする。

【0005】

上記メモリ回路では、第1の端子と第3の端子との間および第3の端子と第2の端子とにそれぞれ所定のパルス電圧を印加することにより第1および第2の可変抵抗の抵抗値を可逆的に互いに逆方向に変化させて1ビットあるいは多ビットの情報を記録する。

【発明の効果】

【0006】

本発明によれば、従来の不揮発性メモリ素子で課題となっていた、書き込み電力が高い、書き込み時間が長い、書き換え寿命が短い、大容量化（素子の微細化）が困難等の多く

の課題を全て解決することができる不揮発性メモリ素子を安定に歩留まり良く製造、実現することができる。

【発明を実施するための最良の形態】

【0007】

以下、本発明の実施の形態について、図を参照して説明する。なお、図面において同一または相当する部分には同一の参照符号を付してその説明は繰り返さない。

【0008】

(可変抵抗体の基本構成および基本特性)

まず、本発明の実施形態において用いられる可変抵抗体の基本構成および基本特性について説明する。

【0009】

本実施形態において用いられる可変抵抗体は、与えられる電気的パルスの極性の応じてその抵抗値を増加／減少させる特性を有するものである。その基本構成を図1に示す。この可変抵抗体では、基板400上に電極300を設け、電極300上に抵抗変化材料20を製膜し、抵抗変化材料200の上に電極100を設けている。ここでは抵抗変化材料0を印加200としてPr0.7Ca0.3MnO3(PCMO)からなるCMR材料を用いた。PCMO材料は、印加されるパルス電圧(ここでは電極100, 300間に与えられるパルス電圧)のパルス数に依存して抵抗値が変化(増加／減少)し、その変化の方向が印加電圧の極性(ここでは電極100, 300間に与えられるパルス電圧の極性)により異なることが特許文献1に報告されているが、その初期状態に関しては明記されていない。そこで、我々は基板温度700°Cでスパッタ形成したPCMO材料200に異なる極性のパルス電圧を印加した時の抵抗変化のパルス数依存性を調べた。図2にその結果を示す。

【0010】

図2(a)は成膜後のPCMO材料200の表面にまず、一極性のパルス電圧(-2V)を印加(電極100が一極性、電極300が+極性となるようにパルス電圧を印加)したときの抵抗の変化を示す。成膜後のPCMO材料200は約30kΩの高い抵抗値を示していたがパルス数の増加にしたがい減少していく、約29パルス後に約100Ωまで低下した。その後、極性を反転させ+2Vのパルス電圧を印加(電極100が+極性、電極300が一極性となるようにパルス電圧を印加)すると抵抗値は増加していく、39パルス目に9kΩまで増加した。その後、再び極性を反転させ、-2Vのパルス電圧を印加(電極100が一極性、電極300が+極性となるようにパルス電圧を印加)すると抵抗値は再び減少していく傾向を示す。したがって、図2(a)に示すようなプロセスで抵抗値の初期値をそれぞれ100Ωと9kΩに設定した可変抵抗体αは、図3(a)に示すように膜表面(電極100)に+極性のパルス電圧印加により抵抗値が増加し、-極性のパルス電圧印加により抵抗値が減少する特性を有する。

【0011】

また、図2(b)は成膜後のPCMO材料200の表面にまず、+極性のパルス電圧(+2V)を印加(電極100が+極性、電極300が一極性となるようにパルス電圧を印加)した時の抵抗の変化を示す。成膜後のPCMO材料200は約30kΩの高い抵抗値を示していたがパルス数の増加にしたがい減少していく、約29パルス後に約100Ωまで低下した。その後、極性を反転させ-2Vのパルス電圧を印加(電極100が一極性、電極300が+極性となるようにパルス電圧を印加)すると抵抗値は増加していく、39パルス目に9kΩまで増加した。その後、再び極性を反転させ、+2Vのパルス電圧を印加(電極100が+極性、電極300が一極性となるようにパルス電圧を印加)すると抵抗値は再び減少していく傾向を示す。したがって、図2(b)に示すようなプロセスで抵抗値の初期値をそれぞれ100Ωと9kΩに設定した可変抵抗体βは、図3(b)に示すように膜表面(電極100)に-極性のパルス電圧印加により抵抗値が増加し、+極性のパルス電圧印加により抵抗値が減少する特性を有する。

【0012】

本実施例ではパルス電圧の極性を、便宜上PCMO材料200の膜表面(電極100)

に与える電圧の極性と定義して説明したが、回路図で説明する場合は、材料の表裏の定義は意味を持たないので、ここで使用した可変抵抗体を図3に示すような記号で表記する、可変抵抗体 α も可変抵抗体 β の特性も同時に説明できることになる。すなわち可変抵抗体を表す記号を、矢印の先端に+極性のパルス電圧が印加されると抵抗値が増加し、矢印の先端に-極性のパルス電圧が印加されると抵抗値が減少する特性を有すると定義する、可変抵抗体 α も可変抵抗体 β も全く同じ記号で説明することができる。したがって、本明細書では図3に示した記号で可変抵抗体を表すことにする。

[0 0 1 3]

(第1の実施形態)

（第1の実施形態）
 本発明の第1の実施形態によるメモリ回路の構成を図4（a）に示す。このメモリ回路は、与えられる電気的パルスの極性に応じて抵抗値が変化する可変抵抗1および可変抵抗2を電源端子4、5間に直列に接続し、可変抵抗1、2を直列に接続した中間点に入出力2を電源端子4、5間に直列に接続し、可変抵抗1、2を直列に接続した中間点に入出力2を電源端子4、5間に直列に接続し、可変抵抗1には図2（a）、図3（a）を参照して説明した初期化端子3を設けている。可変抵抗1には図2（a）、図3（a）を参照して説明した初期化プロセスによって初期の抵抗値が 100Ω に設定された可変抵抗体 α 、可変抵抗2には図2（a）、図3（a）を参照して説明した初期化プロセスによって初期の抵抗値が $9k\Omega$ に設定された可変抵抗体 α を用いた。なお、図4では可変抵抗体2の電極100（図1参照）と入出力端子3とが接続され、可変抵抗体2の電極300（図1参照）と入出力端子3とが接続されている。また、可変抵抗体1の電極100（図1参照）と入出力端子3とが接続され、可変抵抗体1の電極300と電源端子4とが接続されている。

【0 0 1 4】

このメモリ回路に情報を記録するには図4 (a) に示すように、電源端子4、5をグラウンドに落とし、入出力端子3に記録パルス電圧(+Ecc)を印加する。この場合、可変抵抗1の矢印の先端(入出力端子3)には+極性のパルス電圧が印加され、可変抵抗2の抵抗1の矢印の先端(電源端子5)には-極性のパルス電圧が印加される。その結果、図4 (b) に示すように、可変抵抗1の抵抗値は印加されるパルス数の増加にしたがい増加し、可変抵抗1の抵抗値は印加されるパルス数の増加にしたがい減少していく。このように同極性のパルス電圧印加により2つの可変抵抗体1、2の抵抗値を初期値と逆方向に変化させることがで情報の記録を行うことができる。この場合、印加されるパルス数が0のときは(0, 0)、パルス数が1のときは(0, 1)、パルス数が3のときは(1, 0)、パルス数が4のときは(1, 1)の状態とすると、パルス数に応じて抵抗が4つの状態に変化するため、2ビットの多値情報を記録できたことになる。

[0.015]

図5 (a) は、この記録した状態を再生する時の様子を示す。再生時には、電源端子4をグランドGNDに落とし、電源端子5に記録パルス電圧よりも低い再生電圧、例えば、 $+(1/2) E_{cc}$ を印加する。そして、入出力端子3から出力電圧を取り出す。図5 (b) にその出力電圧の様子を示す。出力電圧は記録時のパルス数により異なる値になるため、2ビットの多値情報を再生できることになる。また、図6 (a) は記録した状態をリセットする時の様子を示す。リセット時には、電源端子4、5をグランドGNDに落とし、入出力端子3に、記録する時とは逆の一極性のパルス電圧($-E_{cc}$)を印加する。この場合、可変抵抗1の矢印の先端(入出力端子3)には一極性のパルス電圧が印加され、可変抵抗2の矢印の先端(電源端子5)には十極性のパルス電圧が印加される。その結果、図6 (b) に示すように、可変抵抗1の抵抗値はパルス数の増加にしたがい減少し、可変抵抗2の抵抗値はパルス数の増加にしたがい増加していく、記録時と同一のパルス数を印加することにより、各可変抵抗1、2の抵抗値を初期状態にリセットすることができる。

【0016】

図7に本実施形態のメモリ回路をトランジスタ回路に組み込んでメモリアレイ回路を作成した例を示す。この場合、入出力端子3はトランジスタのドレイン（あるいはソース）側に接続され、電源端子4はプレート線8に、電源端子5はプレート線9に接続され、ワード線6でメモリセルを選択し、ビット線7から情報を入出力する構成になっている。

た、この例では、記録時にはプレート線8、9はいずれもグランドに落として、ビット線7に+2Vのパルス電圧を印加し、また再生時にはプレート線8はグランドに落とし、プレート線9に+1Vの電圧を印加してビット線7の電圧を出力した。またリセット時にはプレート線8、9はいずれもグランドに落として、ビット線7に-2Vのパルス電圧を印加した。

【0017】

図8 (a) に本メモリセル回路における可変抵抗1および可変抵抗2の抵抗値の記録時およびリセット時の変化の様子を示す。可変抵抗1および可変抵抗2は同極性のパルス電圧により相補的に変化することがわかる。また図8 (b) は各記録状態を読み出した時の再生出力電圧を示す。記録時のパルス数(記録状態)に応じて異なる電圧が出力され、異なる記録状態を分解能良く再生でき、1ビット情報のみならず多ビット情報を記録再生できることがわかった。またリセット時には記録時と同数の逆極性のパルス電圧を与えることで、初期状態にリセットできることがわかった。

【0018】

図9 (a) に本実施形態のメモリアレイ回路における他のメモリセル、あるいはメモリアレイ回路製造時のSiウェハー上の他のメモリアレイ回路におけるメモリセル回路の可変抵抗1および可変抵抗2の抵抗値の記録時およびリセット時の変化の様子を示す。この場合、可変抵抗1および2に使用した可変抵抗体の抵抗値の変化が製造バラツキにより、図8 (a) に示した通常値の約1/2になっている。この場合の再生出力電圧を図8 (b) に示す。このように抵抗変化が約1/2に減少しても、本実施形態の回路構成によれば、可変抵抗1および可変抵抗2の値が相補的に変化するため、記録時のパルス数(記録状態)に応じた出力電圧は抵抗変化が通常のもの(図8)とほぼ同一の値となり、抵抗変化が場所によりばらついても、異なる記録状態を分解能良く再生できることがわかった。またリセット時には記録時と同数の逆極性のパルス電圧を与えることで、初期状態にリセットできることができた。このように2つの可変抵抗1、2を直列に接続して相補的に変化させる構成により、従来の課題であったメモリ素子としての安定な動作および製造歩留まりを大幅に向上させることができた。

【0019】

また、本実施形態ではリセット時において記録時と逆極性の同電圧(-2V)を印加した例を示したが、さらに高い電圧(-5V)を印加することにより、リセットパルス数を10パルスから1パルスに大幅に減少させることができた。

【0020】

なお、本実施形態では可変抵抗として図3 (a) に示した特性を有する可変抵抗体 α を用いた例を示したが、図3 (b) に示した特性を有する可変抵抗体 β を用いても全く同様の結果が得られる。また、本実施形態におけるパルス電圧の極性を全て逆極性にしても、本実施形態と同様の効果が実現できた。

【0021】

また、本実施形態ではパルス幅は10nsec. しており、非常に高速での書き込み／消去動作が可能であることがわかった。

【0022】

(第2の実施形態)

第2の実施形態によるメモリ回路の構成は第1の実施形態と同様であるが記録およびリセット時に印加するパルス電圧が異なる。メモリ回路に情報を記録するには、図4 (a) に示すように、入出力端子3に記録パルス電圧(+Ecc)を印加する際にそれと同期させて電源端子4、5に逆極性のパルス電圧(-Ecc)を印加する。この場合、可変抵抗1の矢印の先端(入出力端子3)には+極性のパルス電圧が印加され、可変抵抗2の矢印1の先端(電源端子5)には-極性のパルス電圧が印加され、図4 (b) に示すように第1の実施形態と同様の抵抗変化が生じる。

【0023】

本実施例では、図7に示すメモリアレイ回路において、記録時にはビット線7に+1V

のパルス電圧を印加し、それと同期させて、プレート線8、9に-1Vの電圧を印加する。また再生時にはプレート線8はグランドに落とし、プレート線9に+1Vの電圧を印加。またリセット時には、ビット線7に-1Vのパルス電圧してビット線の電圧を出力した。またリセット時には、ビット線7に-1Vのパルス電圧を印加し、それと同期させてプレート線8、9に+1Vの電圧を印加した。

【0024】

このような実施例においても図8に示した特性とほぼ同等の特性を実現することができ、良好なメモリ素子を実現することができた。また、本実施例によると印加電圧（の振幅）を第1の実施形態に比べ、約1/2に減少させることができるために、省電力化への寄与も大きいことがわかった。

【0025】

また、本実施例ではリセット時においてビット線7に記録時と逆極性の-1Vのパルス電圧を印加し、それと同期させてプレート線8、9に+1Vの電圧を印加した例を示したが、さらに高い電圧（-2.5Vおよび+2.5V）を印加することにより、リセットパルス数を10パルスから1パルスに大幅に減少させることができた。

【0026】

なお、本実施例では可変抵抗として図3（a）に示した特性を有する可変抵抗体 α を用いた例を示したが、図3（b）に示した特性を有する可変抵抗体 β を用いても全く同様の結果が得られる。また、本実施例におけるパルス電圧の極性を全て逆極性にしても、本実施例と同様の効果が実現できた。

【0027】

また、本実施例ではパルス幅は10nsec.としており、非常に高速での書き込み／消去動作が可能であることがわかった。

【0028】

（第3の実施形態）

第3の実施形態によるメモリ回路の構成を図10（a）に示す。第1の実施形態と同様に、このメモリ回路は、与えられる電気的パルスの極性に応じて抵抗値が変化する可変抵抗 α 、可変抵抗 β を電源端子4、5間に直列に接続し、可変抵抗1、2を直列に接続した中間点に入出力端子3を設けている。ただし可変抵抗1には図2（a）、図3（a）を参照して説明した初期化プロセスによって初期の抵抗値が100Ωに設定された可変抵抗 α 、可変抵抗 β には図2（b）、図3（b）を参照して説明した初期化プロセスによって初期の抵抗値が9kΩに設定された可変抵抗 β を用いた。なお、図10では可変抵抗1の電極100（図1参照）と電源端子5とが接続され、可変抵抗2の電極300と入出力端子3とが接続されている。また、可変抵抗1の電極100（図1参照）と入出力端子3とが接続され、可変抵抗2の電極300と電源端子4とが接続されている。

【0029】

このメモリ回路に情報を記録するには図10（a）に示すように、ひとつの正極性のパルス電圧（+Ecc）とひとつの負極性のパルス電圧（-Ecc）からなる記録パルス電圧を入出力端子3に印加し、それと同期して電源端子4には2つの負極性のパルスからなるパルス電圧（-Ecc）、電源端子5には2つの正極性のパルスからなるパルス電圧（+Ecc）をそれぞれ印加する。これにより、図10（b）に示すように、第1の実施形態と同様の抵抗変化が生じる。

【0030】

本実施例では、図7に示すメモリアレイ回路において、記録時にはビット線7に+1Vおよび-1Vからなるパルス電圧を印加し、それと同期させて、プレート線8には2つのパルスからなる-1Vのパルス電圧、プレート線9には2つのパルスからなる+1Vのパルス電圧を印加する。また再生時にはプレート線8はグランドに落とし、プレート線9に+1Vの電圧を印加してビット線の電圧を出力した。またリセット時には、ビット線7に+1Vおよび-1Vからなるパルス電圧を印加し、それと同期させて、プレート線8には2つのパルスからなる+1Vのパルス電圧、プレート線9には2つのパルスからなる-1V

のパルス電圧を印加した。

【0031】

このような実施例においても図8に示した特性とほぼ同等の特性を実現することができ、良好なメモリ素子を実現することができた。また、本実施例によると印加電圧（の振幅）を第1の実施形態に比べ、約1/2に減少させることができるために、省電力化への寄与も大きいことがわかった。

【0032】

また、本実施例ではリセット時においてビット線7に+1Vおよび-1Vからなるパルス電圧を印加し、それと同期させて、プレート線8には2つのパルスからなる+1Vのパルス電圧、プレート線9には2つのパルスからなる-1Vのパルス電圧を印加した例を示したが、さらに高い電圧（-2.5Vおよび+2.5V）を印加することにより、リセットパルス数を10パルスから1パルスに大幅に減少させることができた。

【0033】

なお、本実施例では可変抵抗1として図3（a）に示した特性を有する可変抵抗体 α 、可変抵抗2として図3（b）に示した特性を有する可変抵抗体 β を用いた例について述べたが、逆の使い方をしてもよい。また、本実施例におけるパルス電圧の極性を全て逆極性にしても、本実施例と同様の効果が実現できた。

【0034】

また、本実施形態ではパルス幅は10nsec.としており、非常に高速での書き込み／消去動作が可能であることがわかった。

【0035】

なお、上述の第1～第3の実施形態におけるメモリ回路では、製膜された可変抵抗体200（図1）の表面（上面）と裏面（下面）にそれぞれ電極100, 300を設けこれら2つの電極間にパルス電圧を印加する構成としたが、製膜された可変抵抗体200の表面（上面）あるいは裏面（下面）のいずれか一方に2つの電極100, 300を設け、これらの2つの電極間にパルス電圧を印加する構成を用いても同様の効果が得られる。

【産業上の利用可能性】

【0036】

本発明にかかるメモリ回路は、低電力、高速書き込み・消去、大容量化が要求される不揮発性メモリとして有用である。

【図面の簡単な説明】

【0037】

【図1】可変抵抗体の基本構成を示す図である。

【図2】図1に示した可変抵抗体にパルス電圧を印加したときの抵抗値の変化を示す図である。

【図3】可変抵抗体（異なる特性を有する）の抵抗特性および表記方法を表す図である。

【図4】本発明の第1および第2の実施形態によるメモリ回路の構成および記録時の電圧印加方法、可変抵抗の抵抗変化を示す図である。

【図5】本発明の第1および第2の実施形態によるメモリ回路の再生時の電圧印加方法および再生出力の変化を示す図である。

【図6】本発明の第1および第2の実施形態によるメモリ回路のリセット時の電圧印加方法および可変抵抗の抵抗変化を示す図である。

【図7】本発明によるメモリ回路をトランジスタ回路に組み込みメモリアレイを構成した図（1セル分）である。

【図8】本発明の第1の実施形態における記録時の抵抗変化および各記録状態での再生出力電圧、リセット時の抵抗変化および出力電圧の変化を示す図である。

【図9】同一メモリアレイ内の他のセル、あるいは他のメモリアレイ内のセルにおける記録時の抵抗変化および各記録状態での再生出力電圧、リセット時の抵抗変化および出力電圧の変化を示す図である。

【図10】本発明の第3の実施形態におけるメモリ回路の構成および記録時の電圧印加方法、可変抵抗の抵抗変化を示す図である。

【符号の説明】

【0038】

1, 2 可変抵抗

3 入出力端子

4, 5 電源端子

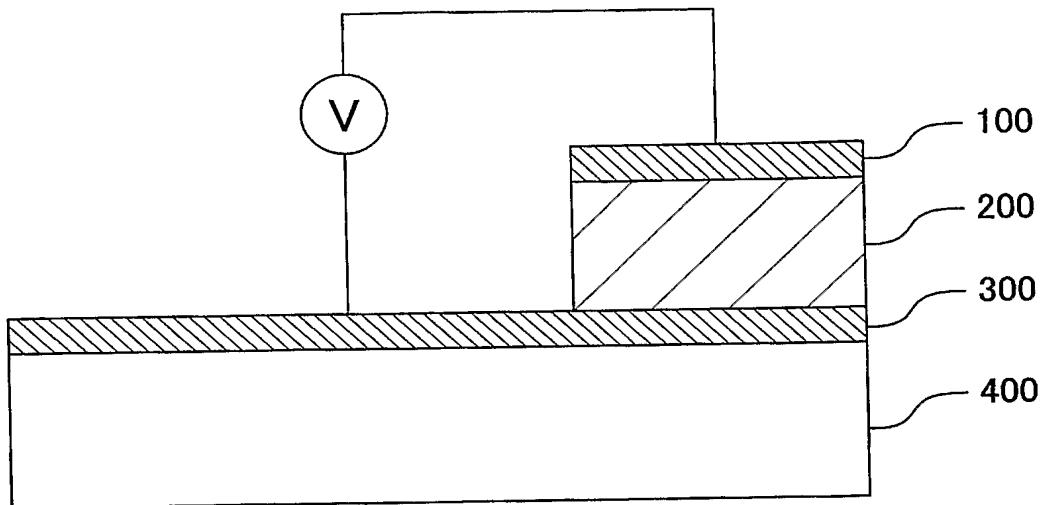
6 ワード線

7 ビット線

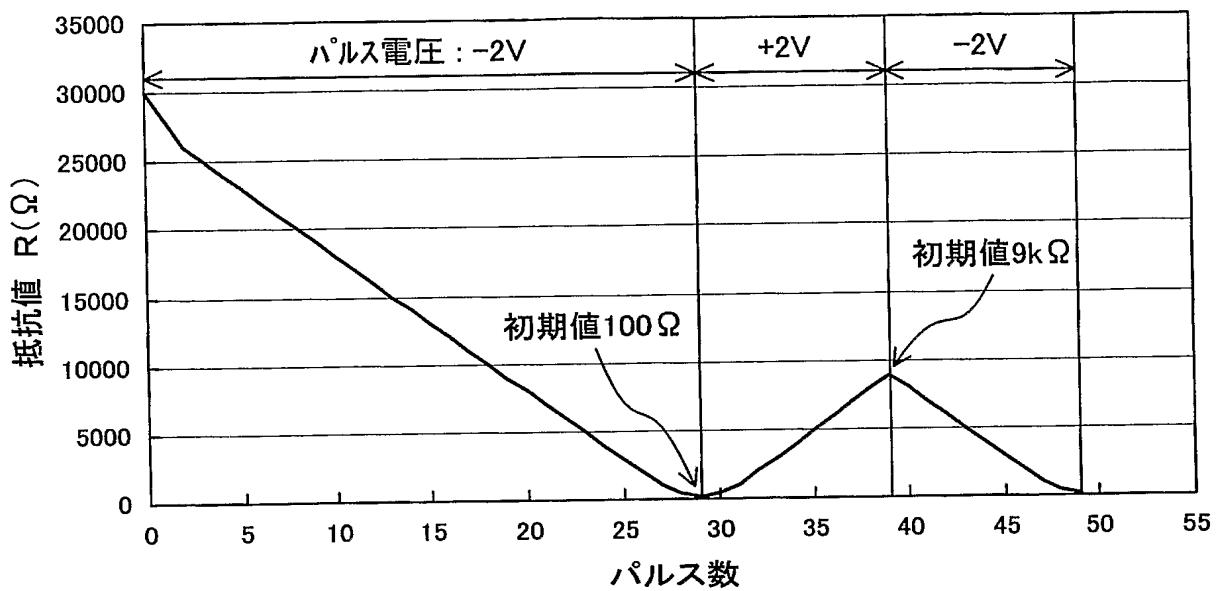
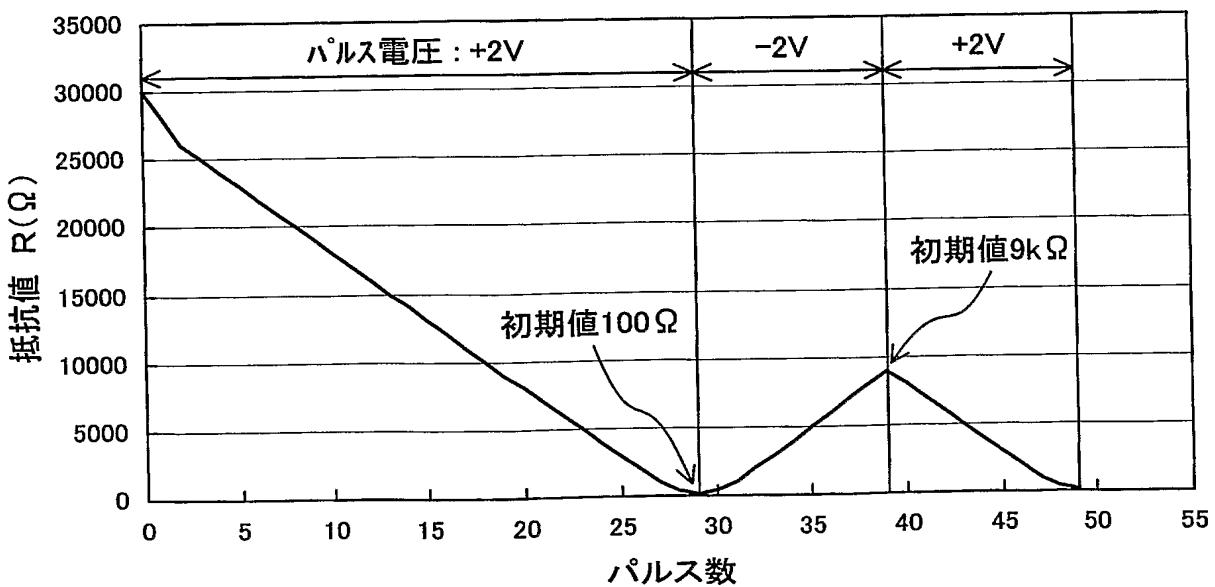
8, 9 プレート線

10 テランジスタ

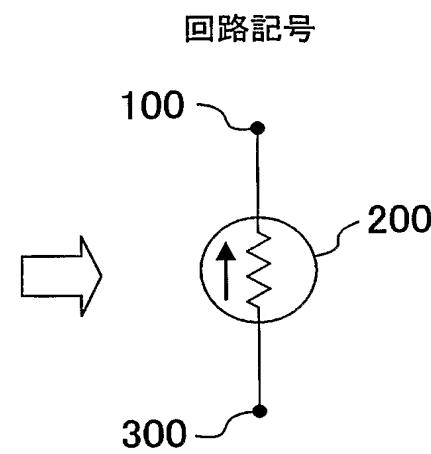
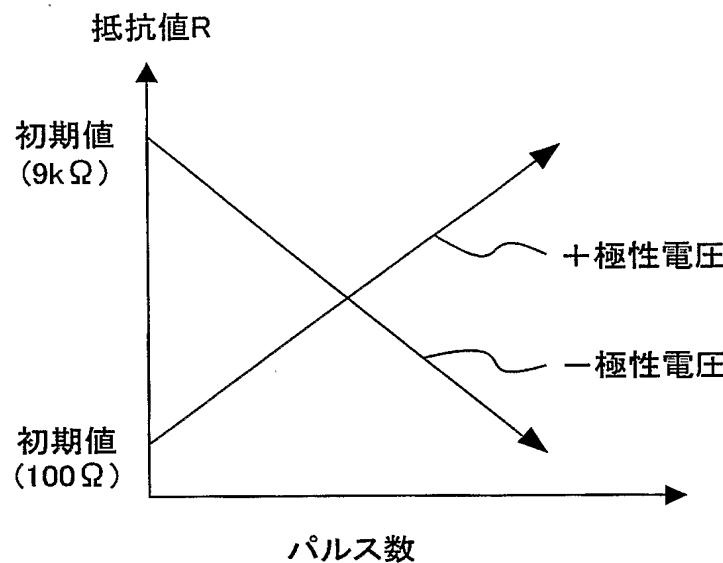
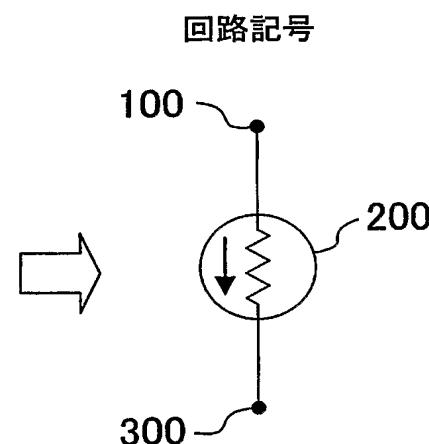
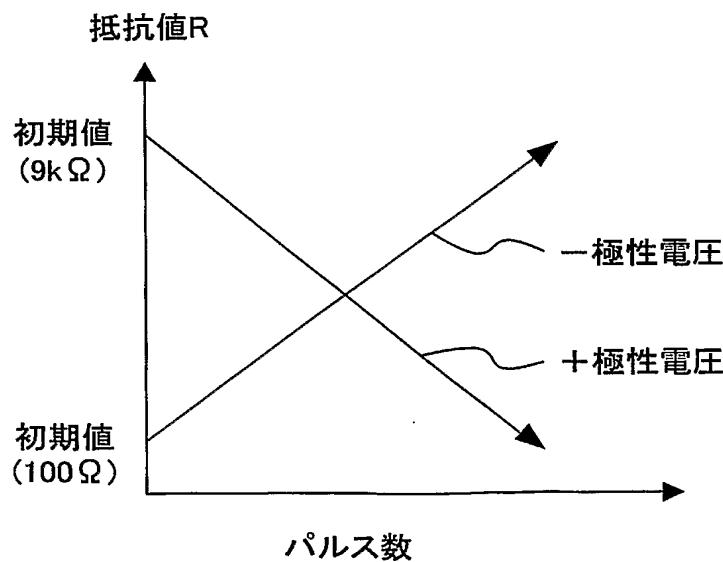
【書類名】 図面
【図 1】



【図2】

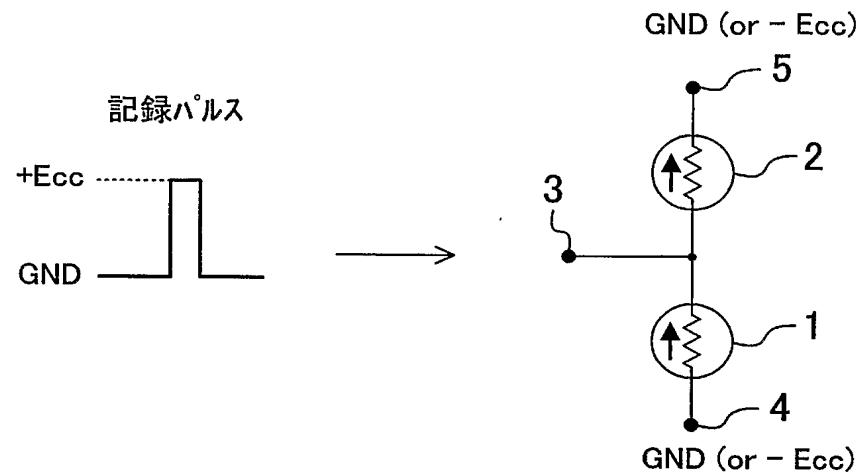
(a) 成膜後に膜表面に一極性のパルス電圧印加により抵抗値を低下させた可変抵抗体 α (b) 成膜後に膜表面に+極性のパルス電圧印加により抵抗値を低下させた可変抵抗体 β 

【図3】

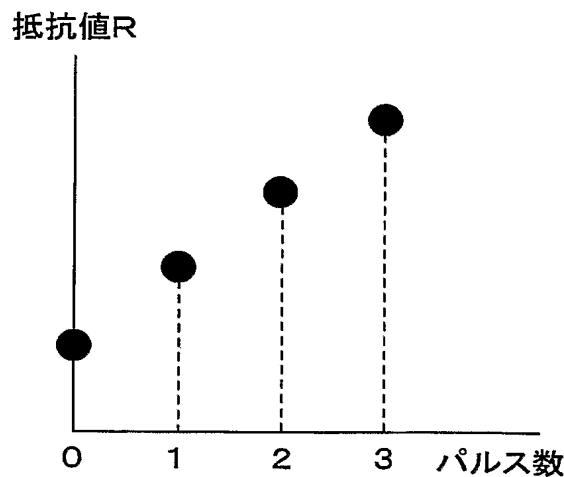
(a) 可変抵抗体 α (b) 可変抵抗体 β 

【図4】

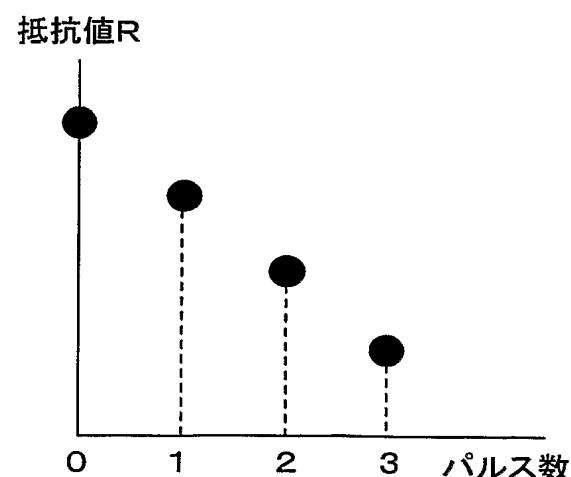
(a) 記録時



(b) 可変抵抗の抵抗変化



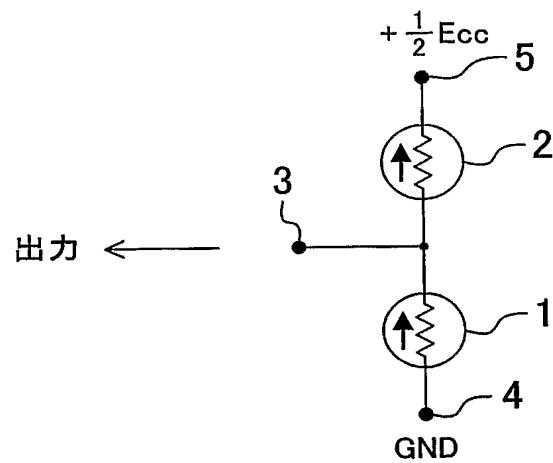
<可変抵抗1の抵抗変化>



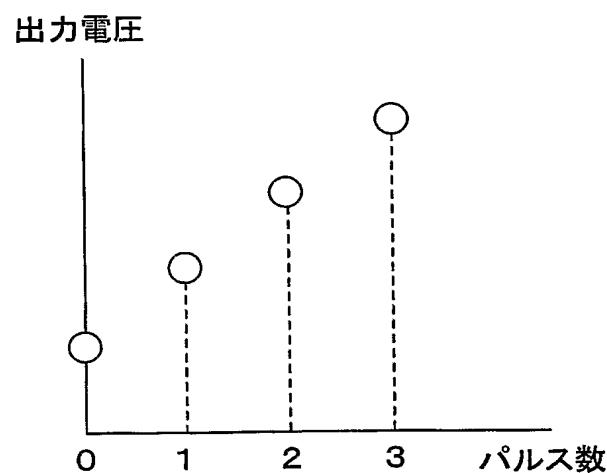
<可変抵抗2の抵抗変化>

【図5】

(a) 再生時

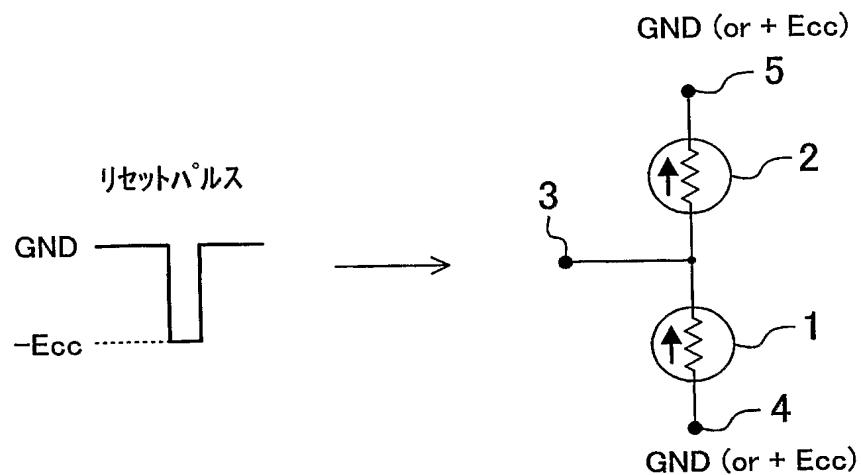


(b) 再生出力電圧

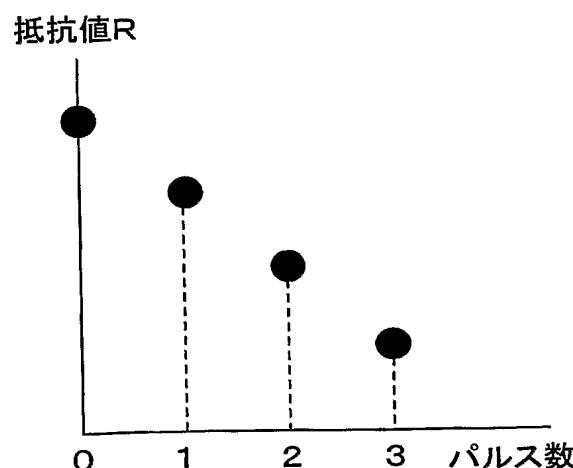


【図6】

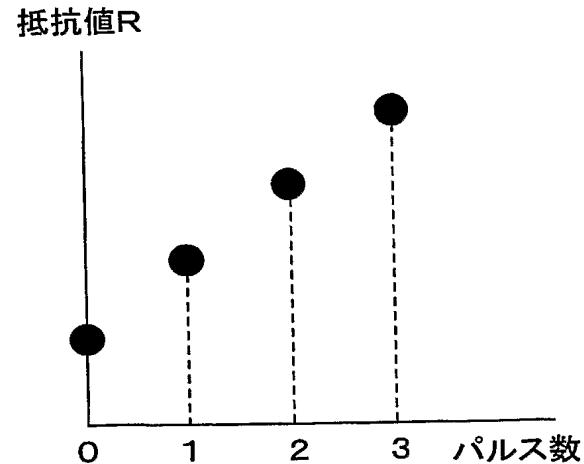
(a) リセット時



(b) 可変抵抗の抵抗変化

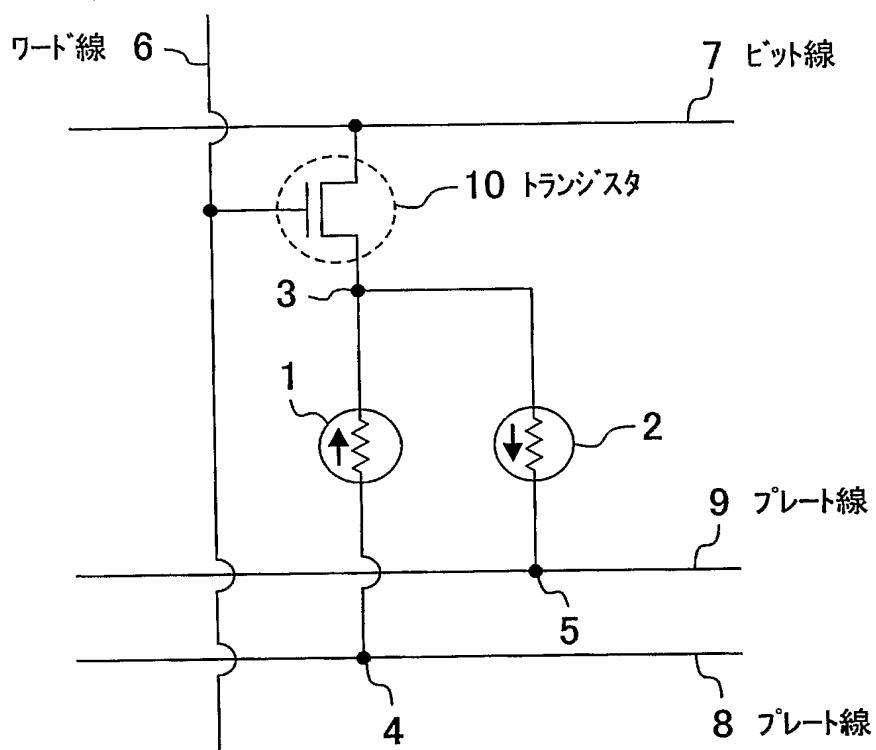


<可変抵抗1の抵抗変化>



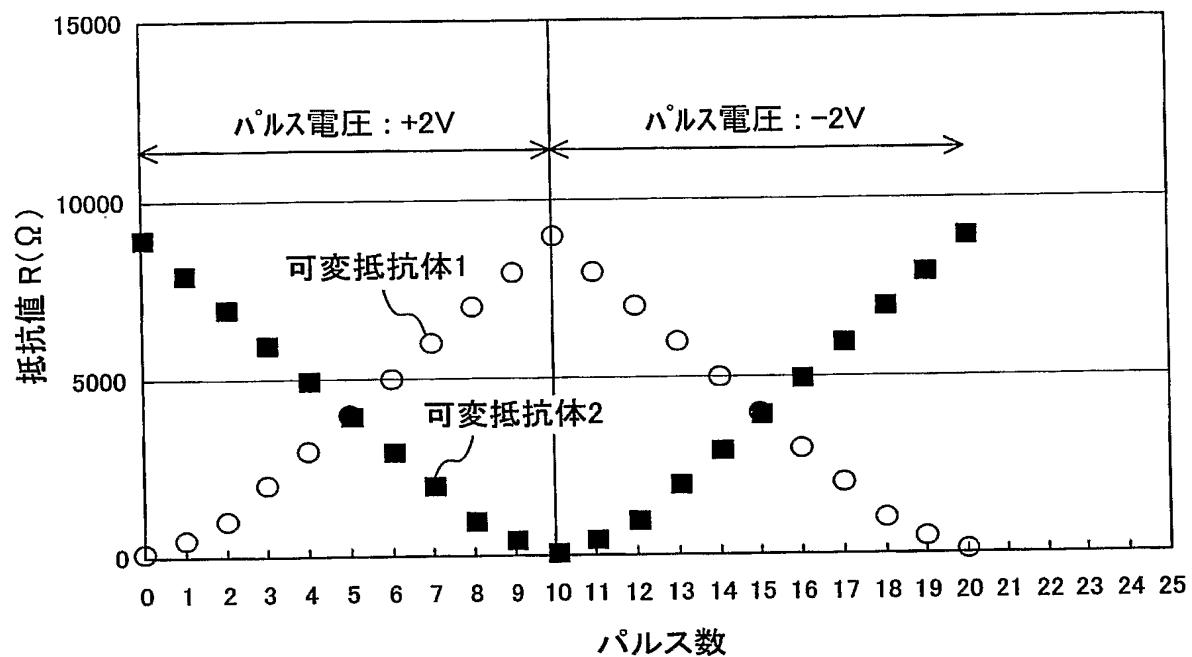
<可変抵抗2の抵抗変化>

【図7】

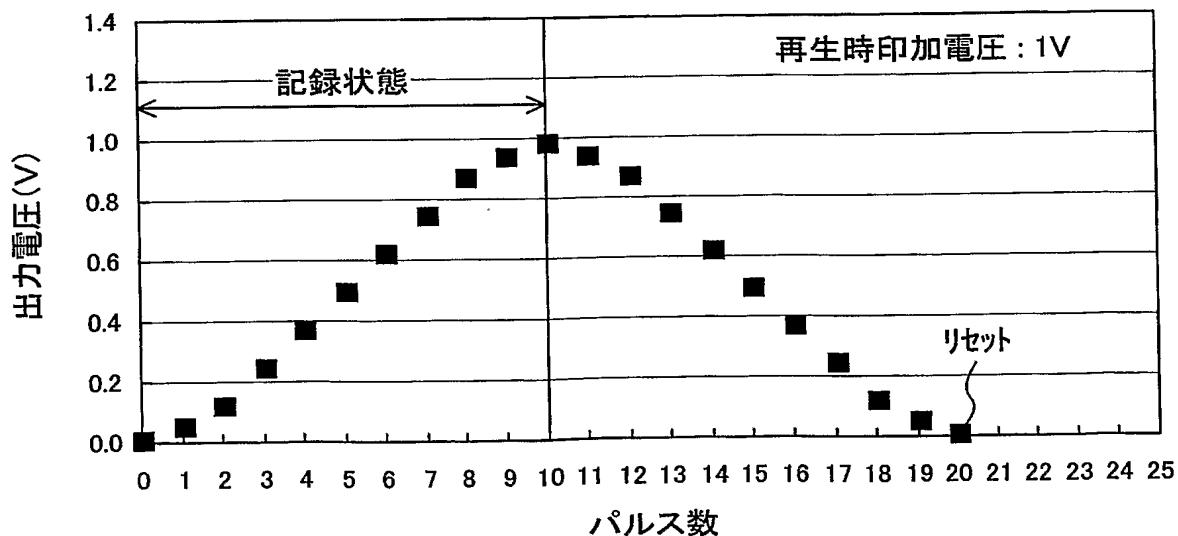


【図 8】

(a) パルス数による抵抗変化

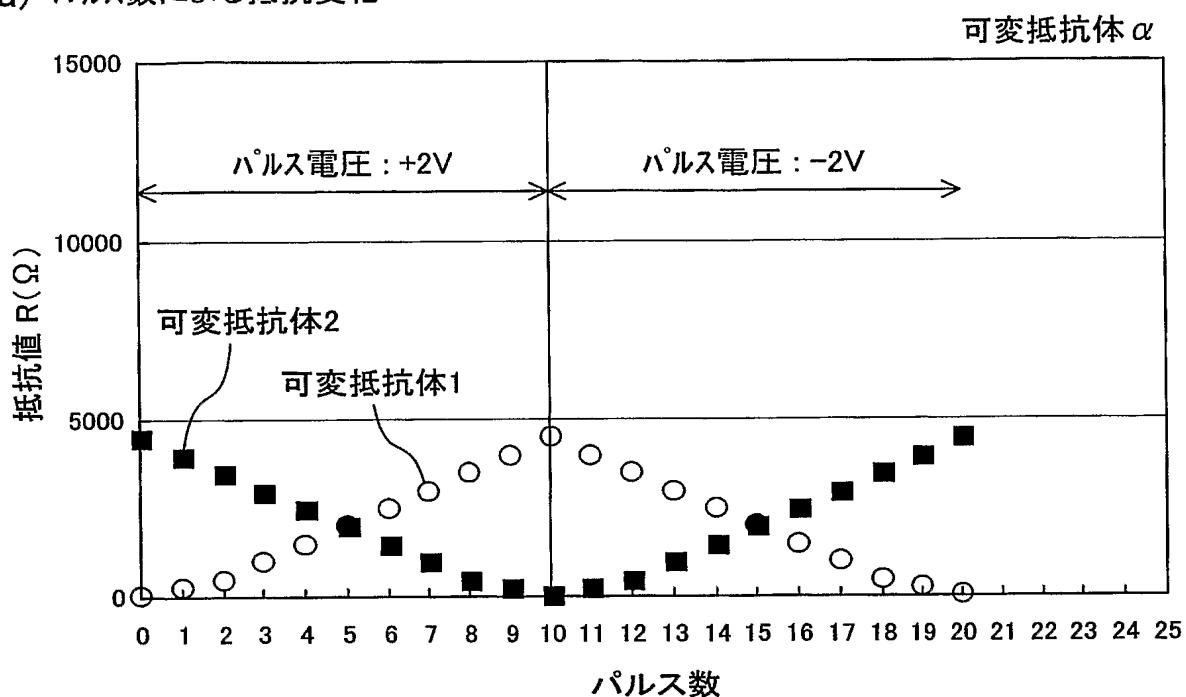


(b) 記録状態を読み出した時の出力電圧

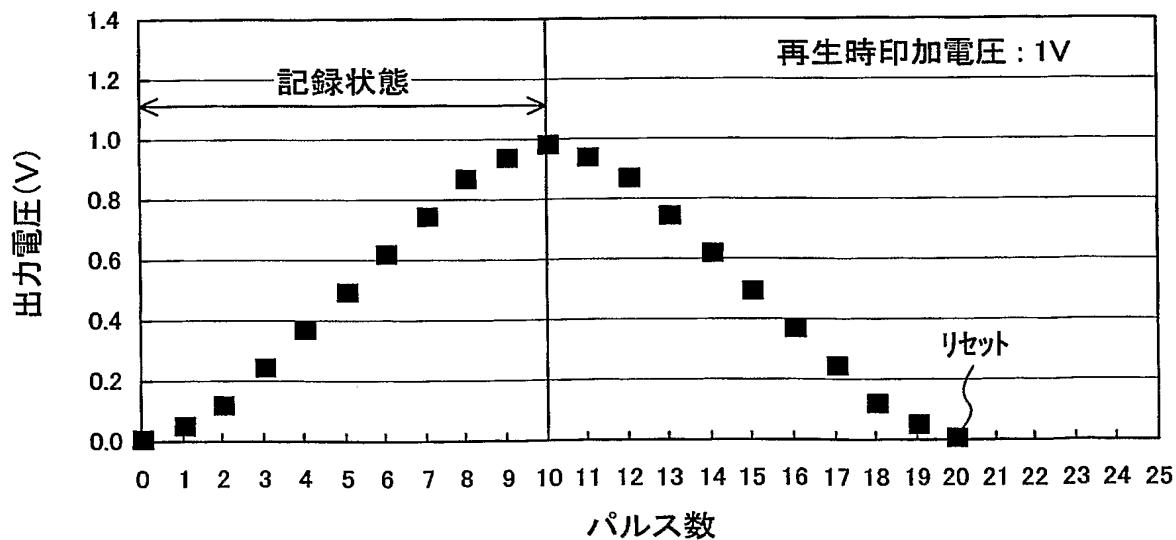


【図 9】

(a) パルス数による抵抗変化

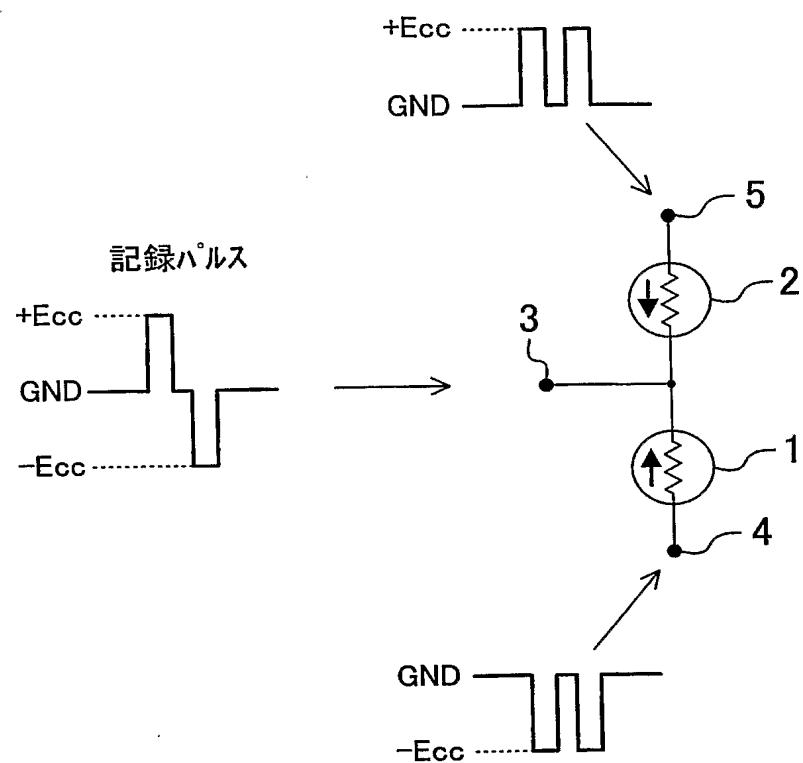


(b) 記録状態を読み出した時の出力電圧



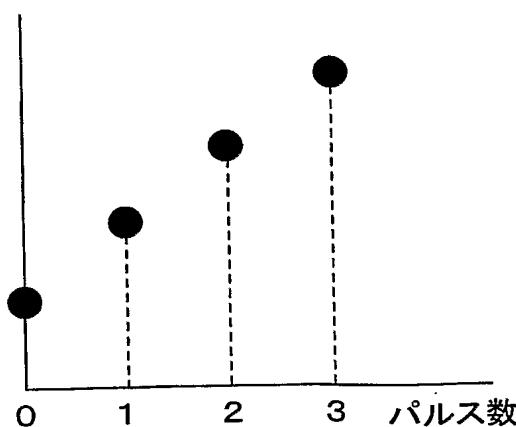
【図10】

(a) 記録時



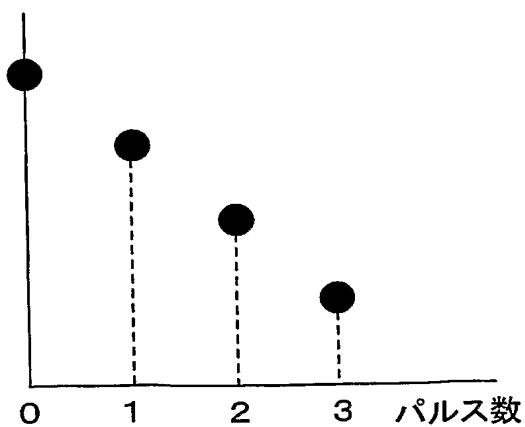
(b) 可変抵抗の抵抗変化

抵抗値R



<可変抵抗1の抵抗変化>

抵抗値R



<可変抵抗2の抵抗変化>

【書類名】要約書**【要約】**

【課題】 現状の不揮発性メモリ憶素子であるフラッシュメモリは書き込み電力が高い、書き込み・消去時間が長い、書き換え寿命が短い、大容量化（素子の微細化）が困難、生産性が悪い等の多くの課題を有している。そのため現在これらの課題を解決すべく、新規メモリの開発が行われているが、上記課題解決を満たす不揮発性メモリ素子がないのが現状である。

【解決手段】 電気的パルスにより抵抗値が変化する可変抵抗1, 2を2つ直列に接続し、可変抵抗1, 2の両端に電源端子4, 5、中間に入出力端子3を設ける。入出力端子3からのパルス電圧印加により、可変抵抗1, 2の抵抗値を可逆的に変化させることで、1ビットあるいは多ビットの情報を記録する。2つの可変抵抗1, 2は、同極性の記録パルス電圧の印加によりその抵抗値が同方向に変化する、あるいは、同極性の記録パルス電圧印加によりその抵抗値が逆方向に変化する。

【選択図】 図4

特願 2003-435269

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住所 大阪府門真市大字門真1006番地
氏名 松下電器産業株式会社